

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-059017

(43)Date of publication of application : 14.03.1988

(51)Int.Cl.

H03K 3/02

H03K 5/00

(21)Application number : 61-200495

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.08.1986

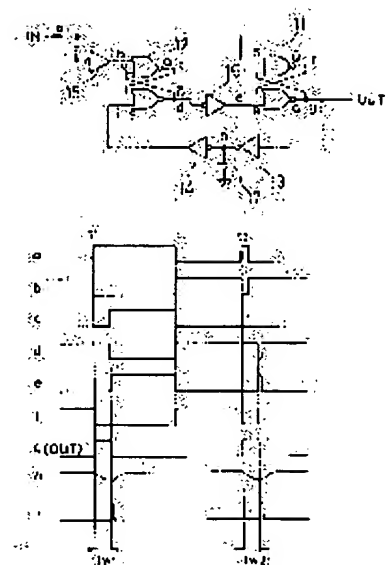
(72)Inventor : AOKI KAZUO

(54) PULSE GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To output a pulse with an always constant width independently of the width of a trigger input signal by controlling other RS flip-flop circuit so as not to be triggered again until the output of a pulse is finished after the circuit is triggered once by one RS flip-flop circuit.

CONSTITUTION: When an input signal (a) is inputted, the 1st RS flip-flop circuit 11 is set and its Q output (g) changes from L to H. The change sets the 2nd RS flip-flop circuit 12 after a prescribed time. The Q output of the RS flip-flop circuit 12 resets the RS flip-flop circuit 11 through an inverter 16. Thus, a pulse having a prescribed time width obtained by a delay circuit is outputted. In such a case, the Q output (d) of the RS flip-flop circuit 12 is at L until the input signal (a) goes to L and reset to prevent the RS flip-flop circuit 11 from being set again.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

⑪ 公開特許公報(A)

昭63-59017

⑫ Int. Cl.⁴

H 03 K

3/02
5/00

識別記号

庁内整理番号

C-8425-5J
7259-5J

⑬ 公開 昭和63年(1988)3月14日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 バルス発生回路

⑮ 特 願 昭61-200495

⑯ 出 願 昭61(1986)8月27日

⑰ 発 明 者 青 木 一 夫 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

バルス発生回路

2. 特許請求の範囲

(1) トリガ入力SがS入力に接続された第1のRSフリップフロップ回路と、

トリガ入力の反転信号がR入力に接続された第2のRSフリップフロップ回路と、

上記第1のRSフリップフロップ回路のQ出力を一定時間経過後に上記第2のRSフリップフロップ回路のS入力に inputs するためのディレイ回路と、

上記第2のフリップフロップ回路の \bar{Q} 出力を反転して上記第1のRSフリップフロップ回路のR入力に inputs するインバータとを備え、上記第1のRSフリップフロップ回路のQ出力からバルスを発生することを特徴とするバルス発生回路。

(2) 上記RSフリップフロップ回路は、NOR回路又はNAND回路を用いて構成されていることを特徴とする特許請求の範囲第1項記載のバル

ス発生回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、トリガバルスのエッジでトリガし、バルスを発生するバルス発生回路に関するものである。

(従来の技術)

第4図は、従来よく用いられるバルス発生回路を示す。図において、1、2、3はインバータ、4は負論理入力のANDゲート、5はキャパシタであり、インバータ1、2とキャパシタ5によりディレイ回路が構成されている。また第5図は、第4図の動作を示すタイミングチャート図であり、a~eは第4図の各点での信号波形を示し、pはインバータ2のしきい値を示す。

次に動作について説明する。トリガバルスaはディレイ回路により、第5図に示すようにt₁だけ後れてANDゲート4に inputs される。また同時に、インバータ3により極性を反転され、ANDゲート4のもう一方の入力に inputs される。AND

ゲート4は、両入力共に“L”になると“H”を出力するので、第5図のeに示すように、トリガパルスaの立上りエッジでt₁の巾をもったパルスが出力されることとなる。なお、立下りエッジではパルスは出力されない。

このように、第4図に示す回路は、入力信号の立上りでトリガされたパルスを出力するパルス発生回路として機能する。

なお、この回路では、t₁のパルスのように巾の細いパルスが入力された場合には、ディレイ回路が十分に動作せず、t₁のパルス巾そのままのパルスが出力される。

〔発明が解決しようとする問題点〕

第4図に示す従来のパルス発生回路では、入力信号の巾があまり細くなると、ディレイ回路が十分動作しないため、入力信号の巾と同じ巾をもつパルスが出力されることとなり、例えば従来のパルス発生回路を、第6図に示すようなシフトレジスタに、ある信号の立上りでリセットをかけるような場合に用いると、入力信号の巾が十分に大き

い場合は確実にリセットされるが、入力信号の巾が細くなるとリセットされない場合が生じ、システムの誤動作を生じてしまうという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、入力信号の巾に無関係に、入力信号の立上りまたは立下りでトリガし、一定の巾をもつパルスを出力することができるパルス発生回路を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係るパルス発生回路は、トリガ入力が入力に接続された第1のRSフリップフロップ回路と、トリガ入力の反転信号がR入力に接続された第2のRSフリップフロップ回路と、上記第1のRSフリップフロップ回路のQ出力を一定時間経過後に上記第2のRSフリップフロップ回路のS入力に接続するディレイ回路と、上記第2のRSフリップフロップ回路のQ出力を反転して上記第1のRSフリップフロップ回路のR入力に接続するインバータとを設けたものである。

3

〔作用〕

この発明においては、RSフリップフロップ回路を用いているので、トリガ入力信号の巾が該RSフリップフロップ回路の動作時間以上の巾である限りいくら細くても必ずトリガすることができ、しかも第2のRSフリップフロップ回路は、一度トリガされた後はパルスが出力し終わるまでは再びトリガされることがないよう第1のRSフリップフロップ回路を制御するので、トリガ入力信号が出力パルスの巾より長い場合でも、再びトリガされることがないよう第1のRSフリップフロップ回路がリセットされ、トリガ入力信号の巾に無関係に常に一定の巾のパルスを出力することができる。

〔実施例〕

以下、この発明の実施例を図について説明する。第1図はこの発明の一実施例によるパルス発生回路を示し、図において、11は第1のRSフリップフロップ回路、12は第2のRSフリップフロップ回路であり、これらの回路11、12はNO

4

Rゲートを用いて構成されている。13~16はインバータ、17はキャパシタであり、インバータ13、14とキャパシタ17によりディレイ回路が構成されている。また第2図は第1図の各点での信号波形を示すタイミングチャート図である。次に動作について説明する。

入力信号aが入力されると、第2図に示すように、t₁において第1のRSフリップフロップ回路11がセットされ、そのQ出力gは“L”から“H”に変化する。この変化はインバータ13、14及びキャパシタ17で構成されたディレイ回路を運って一定の時間後に第2のRSフリップフロップ回路12をセットする。そして、該RSフリップフロップ回路12のQ出力はインバータ16を運って第1のRSフリップフロップ回路11をリセットし、Q出力gは“H”から“L”へ変化することとなり、第1のRSフリップフロップ回路11のQ出力gには、ディレイ回路で得られた一定の時間巾をもつパルスが出力される。なお、このとき、第2のRSフリップフロップ回路12

5

6

は再び入力信号 a が "L" になってリセットがかかるまでは、Q 出力 d が "L" となって第1のRSフリップフロップ回路11が再びセットされるのを防ぐ。

また、入力信号 a の巾が t_1 と極端に細い場合であっても、RSフリップフロップ回路は、該入力信号 a の巾がRSフリップフロップ回路の動作時間（動作速度）以上の巾であれば必ずセットされ、Q 出力は "L" から "H" に変化する。そして巾が t_1 の場合と同様に、第1のRSフリップフロップ回路11は一定の巾を持つパルスを出力する。この場合、第2のRSフリップフロップ回路12は、パルスを出力し終える前にリセットされて次の入力信号待ちの状態となるが、第1のRSフリップフロップ回路11がまだリセット状態であるため、パルス出力中に次の信号が入力されても、再びトリガされることによってパルス巾が長くなるということはない。

このように本実施例回路では、2つのRSフリップフロップ回路を用い、第2のRSフリップフ

ロップ回路により、一度トリガされた後はパルスが出力し終わるまでは再びトリガされることがないように第1のRSフリップフロップ回路を制御するようにしたので、トリガ入力信号の巾に無関係に常に一定の巾のパルスを出力することができる。

また、このパルス発生回路を第6図に示すようなシステムリセットパルスジェネレータに用いれば、リセットをかけるための信号の巾に影響されることがない安定したシステムを構成することができる。

また、第3図はこの発明の他の実施例によるパルス発生回路を示す。本実施例は、RSフリップフロップ回路において、NORゲートの代わりにNANDゲートを用いて回路を構成したものであり、これにより立下りでトリガされたパルスを生じることができる。

なお、上記実施例ではディレイ回路を2つのインバータとキャパシタとからなる構成のものとしたが、これは他の構成のものであってもよく、例えばディレイ回路をRCで構成すれば、RCの時

7

定数で決定される巾をもったパルスを出力することができる。

〔発明の効果〕

以上のようにこの発明のパルス発生回路によれば、2つのRSフリップフロップ回路を用い、第2のRSフリップフロップ回路により、一度トリガされた後はパルスが出力し終わるまでは再びトリガされることがないように第1のRSフリップフロップ回路を制御するようにしたので、トリガ入力信号の巾に無関係に常に一定の巾のパルスを出力することができる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるパルス発生回路を示す回路図、第2図はそのタイミングチャート図、第3図はこの発明の他の実施例によるパルス発生回路を示す回路図、第4図は従来のパルス発生回路を示す回路図、第5図はそのタイミングチャート図、第6図はパルス発生回路を用いたシステムの一例を示す図である。

図において、11は第1のRSフリップフロ

8

ップ回路、12は第2のRSフリップフロップ回路、13、14、15、16はインバータ、17はキャパシタである。

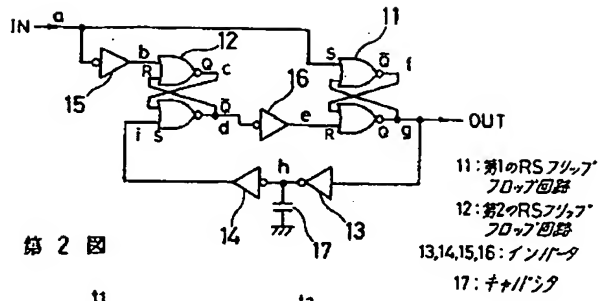
なお図中同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一

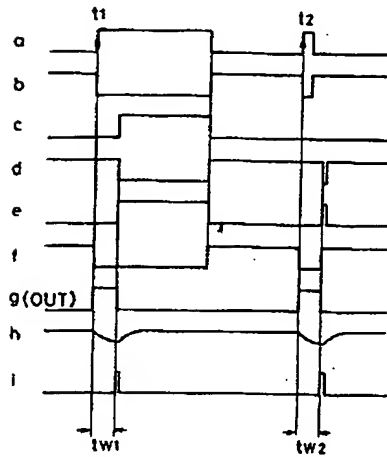
9

10

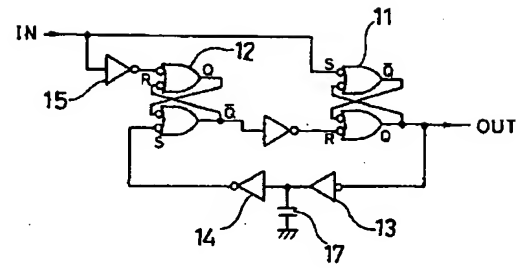
第 1 図



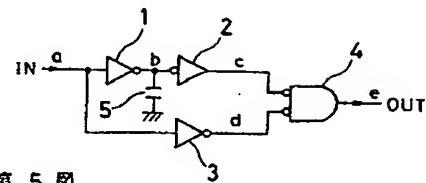
第 2 図



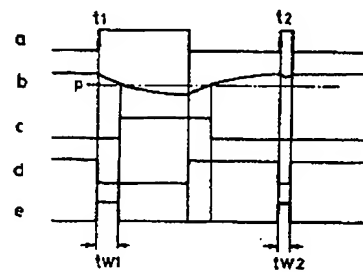
第 3 図



第 4 図



第 5 図



第 6 図

